

7688

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-297976

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

G06F 1/04

(21)Application number : 04-101482

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.04.1992

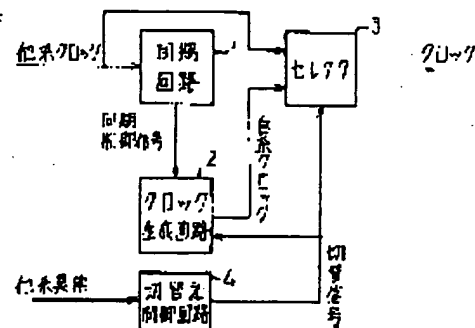
(72)Inventor : MURATANI MASATO

## (54) CLOCK SWITCHING CIRCUIT

## (57)Abstract:

**PURPOSE:** To obtain the clock switching circuit whose circuit scale is small, and also, which can be switched to the own system clock without outputting a component of a high frequency immediately at the time when the other system is abnormal.

**CONSTITUTION:** The circuit is provided with a synchronizing circuit 1 for outputting a synchronization control signal at a variation point of a level of the other system clock, and a clock generating circuit 2 for outputting the own system clock subjected to phase lock with the other system clock on the operation by the synchronization control signal, running freely without depending on the synchronization control signal, when a switching signal is inputted and outputting the own system clock of the same frequency. Also, this circuit is constituted by providing a selector 3 for inputting the other system clock and the own system clock, selecting and outputting the other system clock at a normal time, and selecting and outputting the own system clock, when the switching signal is inputted, and a switching control circuit 4 for sending the switching signal to the clock generating circuit 2 and the selector 3, when the other system abnormality signal is inputted, and outputting the own system clock from the selector 3.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-297976

(43)公開日 平成5年(1993)11月12日

(51)IntCl.<sup>5</sup>

G 0 6 F 1/04

識別記号

庁内整理番号

F I

技術表示箇所

3 0 3 B 7165-5B

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-101482

(22)出願日 平成4年(1992)4月22日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 村谷 正人

宮城県仙台市青葉区一番町1丁目2番25号

富士通東北デジタル・テクノロジー株式

会社内

(74)代理人 弁理士 井桁 貞一

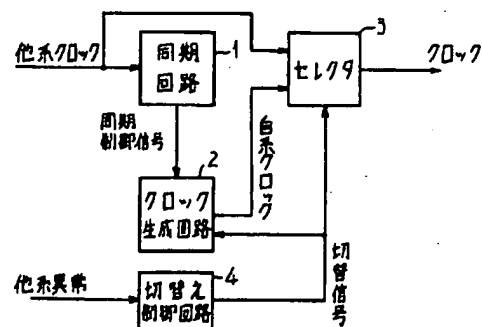
(54)【発明の名称】 クロック切替回路

(57)【要約】

【目的】 クロック切替回路に関し、回路規模が小さくて且つ、他系異常時直ちに、周波数の高い成分を出力することなく自系クロックに切り替えられるクロック切替回路の提供を目的とする。

【構成】 他系クロックのレベルの変化点にて同期制御信号を出力する同期回路1と、該同期制御信号により動作上は該他系クロックと位相同期した自系クロックを出力し、切替信号が入力すると該同期制御信号に依存せず自走して周波数の同じ自系クロックを出力するクロック生成回路2と、該他系クロック及び該自系クロックを入力し、正常時は該他系クロックを選択出力し、切替信号が入力すると該自系クロックを選択出力するセクタ3と、他系異常信号が入力すると、クロック生成回路2及びセクタ3に切替信号を送り、セクタ3より該自系クロックを出力させる切替制御回路4とを有する構成とする。

本発明の原理ブロック図



## 【特許請求の範囲】

【請求項1】 他系クロックのレベルの変化点にて同期制御信号を出力する同期回路(1)と、該同期制御信号により動作上は該他系クロックと位相同期した自系クロックを出力し、切替信号が入力すると該同期制御信号に依存せず自走して周波数の同じ自系クロックを出力するクロック生成回路(2)と、該他系クロック及び該自系クロックを入力し、正常時は該他系クロックを選択出力し、切替信号が入力すると該自系クロックを選択出力するセクタ(3)と、他系異常信号が入力すると、該クロック生成回路(2)及び該セクタ(3)に切替信号を送り、該セクタ(3)より該自系クロックを出力させる切替え制御回路(4)とを有することを特徴とするクロック切替回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ディジタル系の現用装置、予備装置を有し、現用装置異常時は予備装置に切り替えるシステム等に用いられるクロック切替回路の改良に関する。

【0002】ディジタル系の現用装置、予備装置を有するシステムでは、現用装置異常時はクロックも予備装置側のクロックに切り替え予備装置にて運用を行うようにするが、このクロック切り替え時に周波数の高い成分(ハザード)が発生し誤動作を起こさなく、且つ回路規模が小さくてクロックを瞬時に切り替え可能なクロック切替回路の提供が要望されている。

## 【0003】

【従来の技術】図4は従来例のクロック切替回路のブロック図、図5は図4の各部のタイムチャートである。

【0004】図4では、図5(A)に示す如き他系クロック(現用装置のクロック)が入力すると、このクロックは同期回路1、セクタ3及び位相監視回路21に入力する。

【0005】同期回路1では他系クロックの立ち上がりで同期制御信号をクロック生成回路20に入力し、クロック生成回路20ではこの同期制御信号をトリガとし図5(B)に示す如き位相が少し遅れた自系クロックを出力し、セクタ3及び位相監視回路21に入力する。

【0006】位相監視回路21では、図5(A)に示す他系クロック、図5(B)に示す自系クロックのレベルが共にLレベル又はHレベルの時は図5(C)に示す如きHレベルの切替許可信号を切替え制御回路22に送る。

【0007】切替え制御回路22では、図5(D)イに示す如く切替許可信号が入力していない時に、他系異常信号が入力すると、切替許可信号が入力する迄待ち図5(E)のハに示す如き切替信号を出力し、図5(D)ロに示す如く切替許可信号が入力している時に、他系異常信号が入力すると、直ちに図5(E)のニに示す如き切

替信号を出力する。

【0008】この切替信号は、クロック生成回路20及びセクタ3に入力し、クロック生成回路20では同期制御信号に依存せず自走し他系クロックと周波数の同じクロックを出力し、セクタ3では、図5(F)に示す如く、他系クロックを選択出力していたものを自系クロック選択出力に切り替え、内部クロックとして使用するようにする。

【0009】尚切替許可信号を出力する理由は次の通りである。図5(C)に示す切替許可信号が切替許可でないLレベルの時に他系クロックを自系クロックに切り替えると、図5(G)に示す如き周波数の高い成分(ハザード)が発生し装置が誤動作を起こすことがあるので、切り替えは切替許可信号が切替許可のHレベルの時行うようにしている。

## 【0010】

【発明が解決しようとする課題】しかしながら、従来のクロック切替回路では、切替許可を与える位相監視回路が必要で回路規模が大きくなることと、他系異常時、自系クロックに切り替える時少し遅れて切り替えねばならないことが起こる問題点がある。

【0011】本発明は、回路規模が小さくて且つ、他系異常時直ちに、周波数の高い成分を出力することなく自系クロックに切り替えられるクロック切替回路の提供を目的としている。

## 【0012】

【課題を解決するための手段】図1は本発明の原理ブロック図である。図1に示す如く、他系クロックのレベルの変化点にて同期制御信号を出力する同期回路1と、該同期制御信号により動作上は該他系クロックと位相同期した自系クロックを出力し、切替信号が入力すると該同期制御信号に依存せず自走して周波数の同じ自系クロックを出力するクロック生成回路2と、該他系クロック及び該自系クロックを入力し、正常時は該他系クロックを選択出力し、切替信号が入力すると該自系クロックを選択出力するセクタ3と、他系異常信号が入力すると、該クロック生成回路2及び該セクタ3に切替信号を送り、該セクタ3より該自系クロックを出力させる切替え制御回路4とを有する構成とする。

## 【0013】

【作用】本発明によれば、クロック生成回路2は、同期回路1よりの他系クロックのレベルの変化点にて発した同期制御信号により、動作上は他系クロックに位相同期した自系クロックを出力しており、他系クロックを自系クロックに何時切り替えても周波数の高い成分を出力することないので、切替え制御回路4は他系異常信号が入力すると直ちに切替信号をクロック生成回路2及びセクタ3に送り、クロック生成回路2を自走とし、セクタ3では、他系クロックを選択出力していたものを直ちに自系クロックの選択出力に切り替える。

【0014】即ち、従来のクロック切替回路の位相監視回路は不要になるので、回路規模は小さくて且つ、他系異常時直ちに、周波数の高い成分を出力することなく自系クロックに切り替えることが出来る。

【0015】

【実施例】図2は本発明の実施例のクロック切替回路のブロック図、図3は図2の各部のタイムチャートである。

【0016】図2にて、図3(A)に示す如き周波数が1MHzの他系クロックが入力すると、ノット回路11にて反転され、図3(B)に示す如きクロックとなり、クロックとして図3(C)に示す如き周波数が10MHzのクロックが入力しているフリップフロップ12、13、アンド回路14よりなる微分回路16及びセクタ3に10 入力する。

【0017】微分回路16では図3(B)に示す反転クロックの立ち上がりを微分した図3(D)に示す如きパルスを出しセクタ15に入力する。セクタ15は通常は微分回路16の出力側を選択出力しており、図3(D)に示すパルスは、10MHzのクロックが入力している10進カウンタ2-1の同期ロード端子に入力する。

【0018】10進カウンタのQcの出力は、0~3の間はLレベル、4~7の間はHレベル、8~9の間はLレベルとなるので、10進カウンタ2-1の出力Qcよりは図3(E)に示す如きクロックを出力し、ノット回路2-2にて反転され、図3(B)に示す反転他系クロックよりは10MHzの1/2周期位相の進んだ図3(F)に示す如きクロックを出力する。

【0019】即ち、動作上は他系クロックと位相同期したクロックを出力する。図3(H)に示す如き他系異常信号がフリップフロップ4にクロックとして入力すると、フリップフロップ4の出力は図3(I)に示す如きHレベルの切替信号となり、セクタ15及びセクタ3に15 入力し、セクタ15ではアース側を選択して10進カウンタ2-1の同期ロード端子に与え、10進カウ

ンタ2-1を自走するようにし、セクタ3では、図3(B)に示す反転他系クロックを選択していたものを、10進カウンタ2-1の出力を反転した自系クロックを選択するように切り替え、出力より図3(G)に示す如く他系クロックを自系クロックに切り替えたクロックを出力し内部クロックとする。

【0020】即ち、自系クロックは他系クロックと動作上は位相同期しているの、位相監視回路は不要で回路規模は小さくなり且つ、他系異常時直ちに、周波数の高い成分を出力することなく自系クロックに切り替えることが出来る。

【0021】

【発明の効果】以上詳細に説明せる如く本発明によれば、回路規模が小さくて且つ、他系異常時直ちに、周波数の高い成分を出力することなく自系クロックに切り替えられることが出来るクロック切替回路が得られる効果がある。

【図面の簡単な説明】

【図1】は本発明の原理ブロック図、

【図2】は本発明の実施例のクロック切替回路のブロック図、

【図3】は図2の各部のタイムチャート、

【図4】は従来例のクロック切替回路のブロック図、

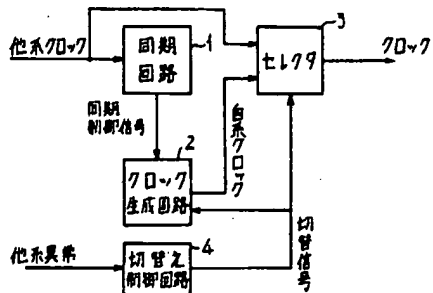
【図5】は図4の各部のタイムチャートである。

【符号の説明】

- 1は同期回路、
- 2、20はクロック生成回路、
- 2-1は10進カウンタ、
- 2-2、11はノット回路、
- 3、15はセクタ、
- 4はフリップフロップ、切替え制御回路、
- 12、13はフリップフロップ、
- 14はアンド回路、
- 16は微分回路、
- 21は位相監視回路、
- 22は切替え制御回路を示す。

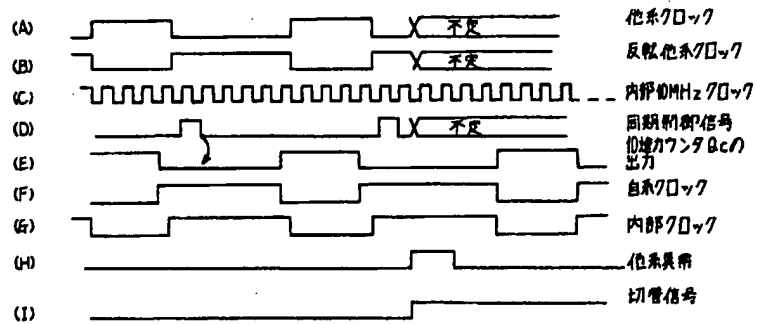
【図1】

本発明の原理ブロック図



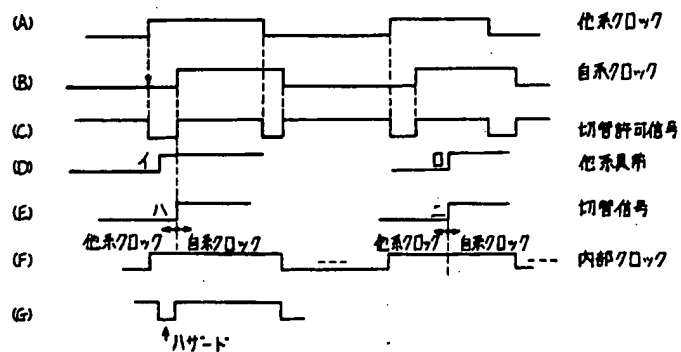
【図3】

図2の各部のタイムチャート



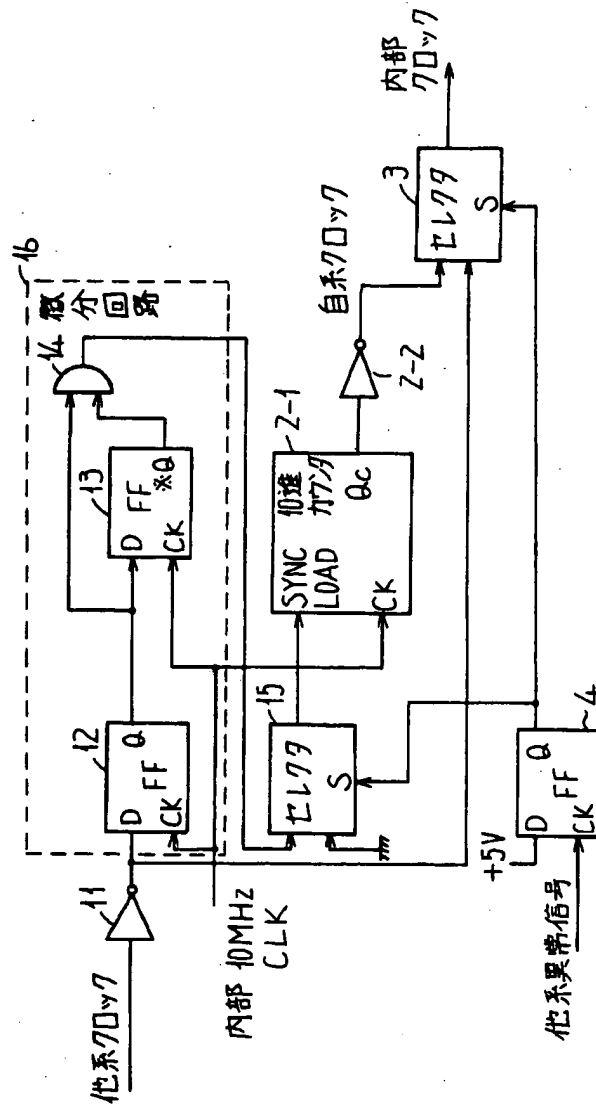
【図5】

図4の各部のタイムチャート



【図2】

本発明の実施例のフロッグ切替回路のブロック図



【図4】

従来例のクロック切替回路のブロック図

